

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

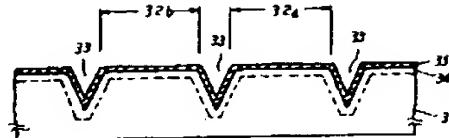
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (US&TO)**

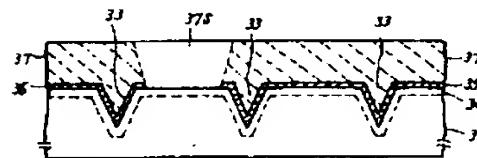
# EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 60140732  
 PUBLICATION DATE : 25-07-85



APPLICATION DATE : 27-12-83  
 APPLICATION NUMBER : 58249353

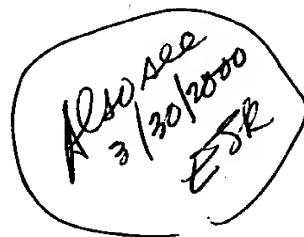
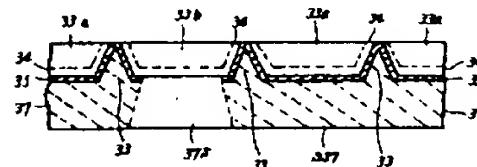


APPLICANT : FUJITSU LTD;

INVENTOR : TANAKA HIROKAZU;

INT.CL. : H01L 21/76

TITLE : SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE



**ABSTRACT :** PURPOSE: To eliminate signal leakage between circuits during the high-frequency operation of the titled device, by constituting an IC having a dielectric isolation structure such that a support substrate with electric conductivity is provided on its surface with a plurality of first single crystal semiconductor island regions separated from each other by dielectric layers and with a second single crystal island region whose bottom is low-resistance contacted with the substrate so that the substrate is applied with a potential through the second region.

**CONSTITUTION:** An N type Si substrate 31 to be a collector is provided on its uppermost layer with V-shaped grooves 33 for defining regions 32a and 32b on which elements are to be formed, the grooves being formed by anisotropic etching. Impurity ions are implanted to form an N<sup>+</sup> type implantation layer 34 for reducing the collector resistance. An SiO<sub>2</sub> film 35 is then adhered over the whole surface including the side walls of the grooves 33. After the film 35 on the region 32a only is removed, an N<sup>+</sup> type polycrystalline Si layer 37S is grown on the whole surface of the film 35, while, on the region 32a, a polycrystalline Si layer 37 is grown directly on the substrate 31 without interposition of the film 35 so as to be low-resistance contacted with the substrate. The substrate 31 is then turned upside down, and P type base and emitter regions are provided on the Si layers 33a having an island shape isolated by the film 35 and on the island-shaped Si layer 33b without the interposition of the film 35, respectively.

COPYRIGHT: (C) JPO

**THIS PAGE BLANK (use p10)**

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭60-140732

⑬ Int.Cl.  
H 01 L 21/76

識別記号  
D-8122-5F

⑭ 公開 昭和60年(1985)7月25日

審査請求 有 発明の数 1 (全5頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特願 昭58-249353

⑰ 出願 昭58(1983)12月27日

⑱ 発明者 石川 保 川崎市中原区上小田中1015番地 富士通株式会社内  
⑲ 発明者 田中 裕計 川崎市中原区上小田中1015番地 富士通株式会社内  
⑳ 出願人 富士通株式会社 川崎市中原区上小田中1015番地  
㉑ 代理人 井理士 松岡 宏四郎

明細書

1. 発明の名称

半導体集積回路装置

2. 発明請求の範囲

導電性を有する支持基板の表面部に、破壊層で分離された複数の第1の半結晶半導体島状領域と、少なくとも一つの底面に於て該支持基板に埋設する第2の半結晶半導体島状領域が配設され、該第2の半結晶半導体島状領域を介して該支持基板に表面部から底面が与えられてなることを特徴とする半導体集成回路装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体集成回路装置に係り、特に高密度分離構造の半導体集成回路装置に関するもの。

(b) 技術の背景

半導体集成回路装置を構成する際の素子間分離構造の一つに耐電圧分離構造がある。この構造は素子間が完全に絶縁体(絶縁物質)によって分離されているので、通常用いられているp-n接合

分離構造に比べて高い分離耐圧が得られ、且つランプアップ現象等の干渉効果が起きにくくという利点を有し、半導体集成回路装置の高集成化に対して有利な構造として注目されている。

(c) 従来技術と問題点

第1図(イ)乃至(ハ)は模式工程断面図である。従来の電極分離技術は、第1図(イ)に示すように所定の導電型を有する半結晶シリコン(Si)基板1の表面に電子形成領域を確定するV字形溝(V溝)2を形成し(この時はU字形にする場合もある)、該V溝2の内面を含む該半結晶Si基板1の表面に絶縁膜である二酸化シリコン(SiO<sub>2</sub>)膜3を形成した後、第1図(ハ)に示すようにV溝2内を含む該基板1に支持基板となる高比重抗の多結晶Si膜4を薄く気相成長させ、しかる後第1図(イ)に反転した状態で示すように、半結晶Si基板1を背面から前記V溝2先端部のSiO<sub>2</sub>膜3が露出するまで平面研磨する方法によって形成されていた。同図に於て1a, 1b, 1cは半結晶Si基板1が上記平面研磨によって分割されてなる半結晶Si島状領域、SSは前記多結晶

特開昭60-140732(2)

図S1よりなる支持基板を示す。

そのため従来の説明書分離基板に於ては、支持基板SSの上部領域に表示する端子の半結晶S1島状領域1a、1b、1c等が完全に支持基板SSと離れており、該説明書分離基板の表面から支持基板に位置を与えることができないので、支持基板SSは半結晶S1島状領域1a、1b、1c等に形成される。半導体素子に対して電気的に完全に浮いた状態になっていた。

そしてこのような提示構造に於ても取扱われる個々の出波数が低い場合には半導体共振回路振幅純然に性能低下はもたらさなかつたが、近時高周波信号が増加されるようになると、支持基板が電気的に浮いていることによって該支持基板を介して電子間に形成される寄生抵抗と寄生容量による結合効率が顕著になり、そのため他の回路への結合の弱化を生じ、半導体共振回路の性能が低下するという問題があらわれて來ている。

(a) 発明の目的

本発明は上記問題點に鑑み、説明書分離構造の

半導体共振回路装置の高周波動作時に於ける回路間の結合を改善する目的でなされたものであり、この目的は下記4点に示すが発明によって達成される。

(a) 組合の構成

即ち本発明半導体共振回路装置に於く、導通性を有する支持基板の表面から離れて分離された複数の第1の半結晶半導体島状領域と、少なくとも一つの底面に於て該支持基板に接続性接続する第2の半結晶半導体島状領域が配置され、該第2の半結晶半導体島状領域を介して該支持基板に該表面から離れてなることを特徴とする。

(b) 発明の実施例

以下本発明の半導体共振回路装置(10)を、一実施例について、第2図に模式的に示す上面図(イ)、A-A断面図(ロ)、B-B断面図(ハ)、C-C断面図(ニ)、及びD-D断面図(イ)乃至(ニ)を示す斜面工具側面を用いて説明する。

第2図は本発明の一実施例に係る説明書

造のバイポーラICの構造を模式的に示す上面図(イ)とそのA-A断面図(ロ)、B-B断面図(ハ)及びC-C断面図(ニ)である。断面に於て、1.1はn型多結晶S1支持基板、1.1aは該支持基板が半結晶化されている領域、1.2はSiO<sub>2</sub>絶縁(説明書)膜、1.3はn型半結晶S1島状領域、1.4は第2のn型半結晶S1島状領域、1.5はn<sup>+</sup>型領域、1.6はp型ベース領域、1.7はn<sup>+</sup>型エミッタ領域、1.8はn<sup>+</sup>型コレクタ・コンタクト領域、1.9はn<sup>+</sup>型基板コンタクト領域、2.0は表面絶縁膜、2.1は電極コンタクト窓、2.2はベース電極、2.3はエミッタ電極、2.4はコレクタ電極、2.5は基板電極を示している。

この図のように本発明の構造に於ては、導通性を有する支持基板例えばn<sup>+</sup>型多結晶S1支持基板1.1の表面層はSiO<sub>2</sub>絶縁(説明書)膜1.2で支持基板1.1から完全に分離された第1のn型半結晶S1島状領域1.3が從来同様多結晶銀被覆され、一方に、少なくとも底面にSiO<sub>2</sub>絶縁(説明書)膜が形成されない領域を有し、該領域でn<sup>+</sup>

型多結晶S1支持基板1.1と熱に接し、該支持基板1.1熱しくは該支持基板が半結晶化されている領域1.1aと導通性(オーム)接続する第2のn型半結晶S1島状領域1.4が複数形成される。そして該第2のn型半結晶S1島状領域1.4上に熱走は該活性接続を完了にするためのn<sup>+</sup>型熱コントラクト領域1.9を介して例えばアルミニウム(AZ)等よりなる基板電極2.5が形成され、該電極2.5からn<sup>+</sup>型熱熱コントラクト領域1.9、第2のn型半結晶S1島状領域1.4を介してn<sup>+</sup>型多結晶S1支持基板1.1に接地電位等の所定の電位が与えられる。なお上記n<sup>+</sup>型熱熱コントラクト領域1.9はn<sup>+</sup>型エミッタ領域1.7及びn<sup>+</sup>型コレクタ・コンタクト領域1.8と同時に形成される。なおn<sup>+</sup>型領域1.5は第1のn型半結晶S1島状領域1.3に形成されるバイポーラトランジスタのコレクタ抵抗を減少させるために形成されるもので、第2のn型半結晶S1島状領域1.4内にも同時に形成されるが、この設置としてほどの域1.5は特になくてらしさつかえない。

特開昭60-140732(3)

次に第3回(イ)乃至(ニ)にて工程助面図を参照して上記実施例に用いた複雑体分離基板の製造方法を説明し、本発明の特徴を異に明確にする。

第3回(イ)参照

上記複雑体分離基板を形成するには、先ず既定の不純物濃度を有する例えはn型単結晶S<sub>1</sub>基板3-1の表面に例えば水酸化カリウム(KOH)等を用いる異方性エッチング手順で分子級膜層3-2a及び3-2bの周辺を遮断する専用の深さのV字形溝(V溝)3-3を形成し、次いでイオン注入手順によりn型不純物を導入してコレクターマシンを下げるための既定深度のn+型拡散層3-4を形成し、次いで通常の酸化手順でV溝3-3の内面を含む該基板3-1の表面に、例えば厚さ1~2[μm]程度の絶縁体膜層S<sub>1</sub>O<sub>x</sub>、絕縁膜3-5を形成する。

第3回(ロ)参照

次いで通常のリソグラフィ技術を用い、支持基板に対するコンタクト部を形成しようとする一部の分子形成膜層3-2b上部のS<sub>1</sub>O<sub>x</sub>、絶縁膜3-5

を選択的に除去する。なおこの際該分子形成膜層3-2bの上面の一例にS<sub>1</sub>O<sub>x</sub>、絶縁膜3-5が残留してもさしつかえない。図中3-6はレジスト・マスクを示す。

第3回(ハ)参照

次いでレジスト・マスク3-6を除去した後、フォトマスク(PM)とモノシラン(SIH<sub>4</sub>)の混合ガスを用いる通常の気相成長法により該基板上に例えれば厚さ約1.00[μm]程度の微シリカ被膜を有するn+型多結晶S<sub>1</sub>層3-7を形成する。なおここでS<sub>1</sub>O<sub>x</sub>、絶縁膜3-5上に成長するS<sub>1</sub>層は多結晶となるが、前記S<sub>1</sub>O<sub>x</sub>、絶縁膜3-5が除去された分子が成膜層3-2b上に成膜品S<sub>1</sub>層3-1に直に接して成長するS<sub>1</sub>層は単結晶S<sub>1</sub>層3-7aとなりより抵抗性となる。これにより単結晶S<sub>1</sub>層3-1と多結晶S<sub>1</sub>層3-7とのコンタクト抵抗を減ずる効果を生ずる。

第3回(ニ)参照

次いで背面側単結晶S<sub>1</sub>基板3-1の背面をN<sub>2</sub>酸3-3先端部のS<sub>1</sub>O<sub>x</sub>、絶縁膜3-5が露出するま

で平面研磨して、単結晶S<sub>1</sub>基板3-1を複数の単結晶S<sub>1</sub>島状膜層3-1a及び3-2bに分離する。なお第3回(ニ)は上記工程を終って該基板を反転した状態を示している。因に示されたように、この段階ではいわゆる多結晶S<sub>1</sub>層(一部に前記単結晶S<sub>1</sub>層となっている部分3-7aを含む)3-7は第2回1-1に示すするn型電極支持基板S<sub>1</sub>となる。そしてn+型多結晶S<sub>1</sub>層よりなる導通性支持基板S<sub>1</sub>の上面端に、S<sub>1</sub>O<sub>x</sub>、絶縁(絶縁体)膜3-5によって底面及び側面が完全に分離された多結晶の第1のn型単結晶S<sub>1</sub>島状膜層3-3a(第2回1-3に対応)が埋込まれ、且つ一端に側面がS<sub>1</sub>O<sub>x</sub>、絶縁膜3-5によって分離され少々くどら底面の一端が導通性支持基板S<sub>1</sub>に直に接し且つ抵抗性確保する第2のn型単結晶S<sub>1</sub>島状膜層3-3b(第2回1-4に対応)が埋込まれた複数の複雑体分離基板が完成する。

以後圖示しないが、複雑体分離基板を用い、通常の方法に従ってn型n型半導晶S<sub>1</sub>島状膜層3-3a内に選択的にp型ベース領域を形成し、

次いで該基板上に該面接触膜を形成し、次いで該表面接触膜にベース・コンタクト窓、エミッタ・コンタクト窓、コレクタ・コンタクト窓、基板コンタクト窓を形成し、次いでベース・コンタクト窓をマスクし、他のコンタクト窓に整合してn型不純物を導入して第1のn型単結晶S<sub>1</sub>島状膜層3-3a内にn+型コレクタ・コンタクト細膜を、p型ベース領域にn+型エミッタ細膜を、第2のn型単結晶S<sub>1</sub>島状膜層にn+型基板コンタクト細膜をそれぞれ同時に形成する。次いで通常の方法により表面接触膜上に、前記ベース・コンタクト部並びてp型ベース領域に接するベース電極、エミッタ・コンタクト細膜に於てn+型エミッタ領域に接するエミッタ電極、コレクタ・コンタクト細膜に於てn+型コレクタ・コンタクト細膜に接するフレクタ電極、及び基板コンタクト部並びてn+型拡散コンタクト細膜に接し該n+型拡散膜コンタクト細膜、n型半導晶領域を介して導通性支持基板に直接接続する基板電極を形成し、第2回に示した該電子分離構造のハイボーラ

特開昭60-140732(4)

適用される。

4. 図面の簡単な説明

第1図(イ)乃至(ハ)は従来の説明体分離基板の製造方法を示す工程断面図、(イ)2層は本発明の説明体分離基板半導体挿抜回路装置における一実施例を示す上面図(イ)、A-A断面図(ロ)、B-B断面図(ハ)及びC-C断面図(ニ)で、第3回(イ)乃至(ニ)は上記実施例に用いる説明体分離基板の一製造方法を示す工程断面図である。

図に於て、1-1はn<sup>-</sup>型多結晶シリコン支持基板、1-2は二酸化シリコン絶縁膜(絶縁体)膜、1-3は第1のn型単結晶シリコン島状領域、1-4は第2のn型単結晶シリコン島状領域、1-5はn<sup>+</sup>型耐圧膜、1-6はp型ベース領域、1-7はn<sup>+</sup>型エミッタ領域、1-8はn<sup>+</sup>型コレクタ・コンタクト領域、1-9はn<sup>+</sup>型表面コンタクト領域、1-10は表面被覆膜、1-11は電極コンタクト部、1-12はベース電極、1-13はエミッタ電極、1-14はコレクタ電極、1-15はみ抜電極を示す。

ICが完成する。そして該本発明の構造にては前記基板電極から導電性支持基板に対して固定の基板面位が増加される。

なお導電性支持基板の材料は上記実施例に示したシリコンに限られるものではなく、気相成長することができ、高融点を有し且つ低抵抗が得られる高融点金属層しくはその合金物質でも良い。

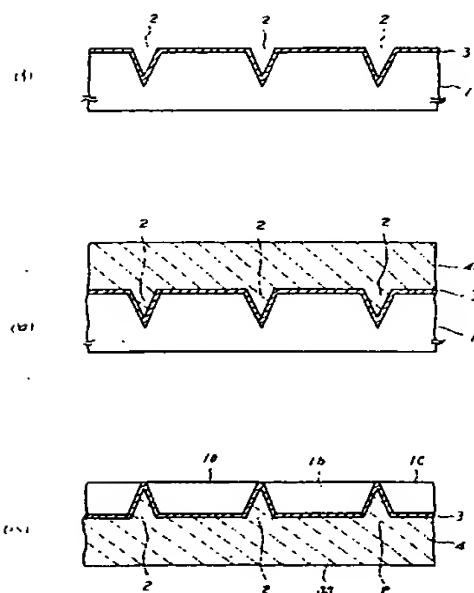
(g) 発明の効果

以上説明したように本発明によれば、説明体分離基板の半導体挿抜回路装置が導電性を有する支持基板上に形成され、且つ該導電性支持基板が容易に該半導体挿抜回路装置の表面側に導電的に導出され、該半導体挿抜回路装置の表面側から該導電性支持基板に所定の基板面位を与えることが可能になる。

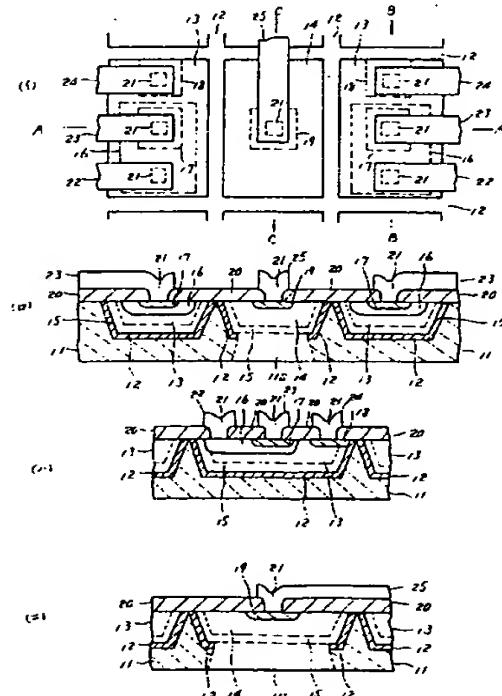
従って本発明によれば、高周波動作時に於ける各半導体素子からの漏れ電流が該導電性支持基板内に吸収されるので信号の歪が防止され、該半導体挿抜回路装置の高周波特性が向上する。

なお本発明はMIS型半導体挿抜回路装置にも

第1図

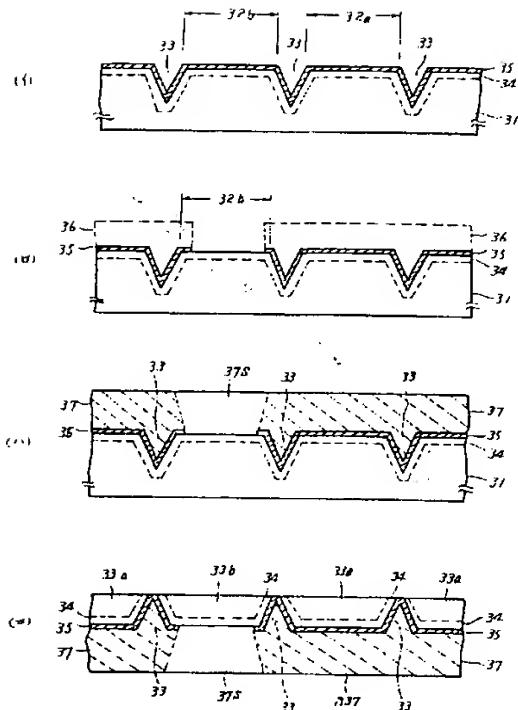


第2図



特開昭60-140732 (5)

卷之五



**THIS PAGE BLANK (08870)**